

01FNO24

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-013991

(43)Date of publication of application : 14.01.2000

(51)Int.Cl. H02H 9/02
H02H 3/08
H02H 3/087

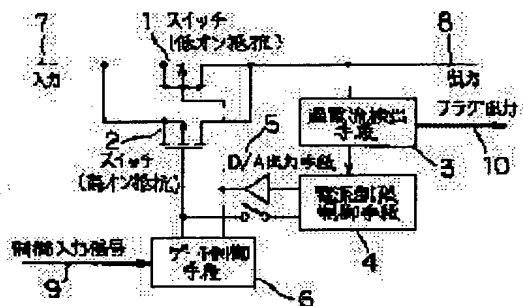
(21)Application number : 10-174871 (71)Applicant : NEC CORP
(22)Date of filing : 22.06.1998 (72)Inventor : HATTORI TAKAHIRO

(54) METHOD AND CIRCUIT FOR LIMITING OVERCURRENT USING MOSFET SWITCH

(57)Abstract:

PROBLEM TO BE SOLVED: To gradually limit an overcurrent without cutting off the the overcurrent immediately by switching to by-passes by outputting a flag by connecting two MOSFET switches having different 'ON' resistances in parallel with the current path of a high-side switch when the overcurrent is detected.

SOLUTION: The P-channel MOSFETs of switches 1 and 2 having different 'ON' resistances are connected in parallel. A D/A output 5 which makes analog output operation is connected to the gate of the MOSFET of the switch 1 having the lower 'ON' resistance. The value of the current flowing to the switch 1 is detected with a delay time of $10 \mu\text{s}$. When an overcurrent detecting means 3 detects that the current flowing to the switch 1 for $10 \mu\text{s}$ is an overcurrent, a current limiting means 4 finally sets the switch 1 to a turned-off state (infinite resistance value) by increasing the resistance of the switch 1 by gradually changing the gate voltage of the MOSFET of the switch 1 to the voltage of an input 7 from 0 V. In addition, the means 4 turns on the MOSFET of the switch 2 having the higher 'ON' resistance.



LEGAL STATUS

[Date of request for examination] 22.06.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3171244

[Date of registration] 23.03.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-13991

(P2000-13991A)

(43) 公開日 平成12年1月14日 (2000.1.14)

(51)Int.Cl. ⁷	識別記号	F I		テーマコード*(参考)	
H 0 2 H	9/02	H 0 2 H	9/02	E	5 G 0 0 4
	3/08		3/08	T	5 G 0 1 3
	3/087		3/087		

審査請求 有 請求項の数 7 O L (全 6 頁)

(21) 出願番号 特願平10-174871

(22) 出願日 平成10年6月22日 (1998.6.22)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 服部 敬宙

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100070219

弁理士 若林 忠 (外4名)

Fターム(参考) 5G004 AA04 AB02 BA04 CA05 DA04

DC01 EA01

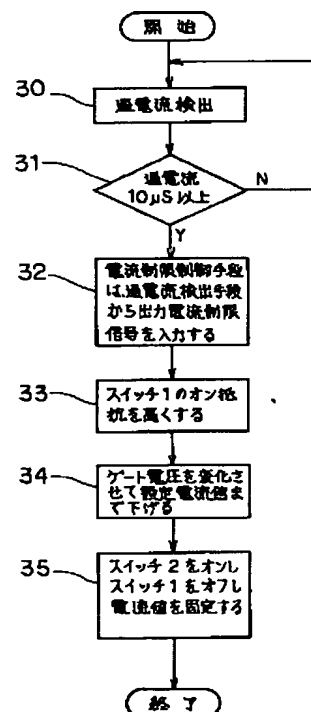
5G013 AA02 AA16 BA01 CA10

(54) 【発明の名称】 MOSFETのスイッチを用いる過電流制限の方法及び回路

(57) 【要約】

【課題】 過電流制限機能をもつハイサイドスイッチで、オン抵抗の異なる二つのMOSFETでスイッチを構成し、一つのMOSFETのゲート電圧を制御することにより、通常動作時から電流制限動作時に移行する際、電流値の変化を少なくし、装置の誤動作を防ぐ方法とその回路を提案する。

【解決手段】 通常動作時にスイッチ1の低オン抵抗のMOSFETをオンにして動作するICにおいて、過電流検出手段がスイッチ1に流れる過電流値を検出する段階と、規定の電流値を検出したとき電流制限制御手段へ信号を送る段階と、スイッチ1のゲート電圧を徐々に変化させオン抵抗を高くし、設定した電流値になるまでゲート電圧を変化させる段階と、電流が設定値になった後スイッチ2をオンにする段階とを含む。



【特許請求の範囲】

【請求項 1】 MOSFETで構成されるスイッチに流れる電流値を検出し、規定値を越えた場合に外部ヘリポートするフラグ出力機能と、制御入力信号端子によりスイッチをオフする機能を有するICであって、並列に接続されたオン抵抗の異なる二つのスイッチ

(1) 及び (2) と、

スイッチ (1) の低オン抵抗のMOSFETのゲートに接続されアナログ出力動作を行うD/A出力手段 (5) と、

スイッチ (1) の電流値を検出し、規定電流値以上の場合外部通知用のフラグ (10) を出力する過電流検出手段 (3) と、

過電流検出手段 (3) が規定電流値を検出したとき、その信号を入力して出力電流制限を行う電流制限制御手段 (4) と、

制御入力 (9) によりスイッチ (1) 及び (2) のMOSFETのオンオフを制御するゲート制御手段 (6) とを有する過電流制限の回路。

【請求項 2】 前記二つのスイッチを構成するトランジスタは、Pチャネル型のMOSFETである請求項 1 記載の過電流制限の回路。

【請求項 3】 前記外部通知用のフラグ出力 (10) は、スイッチ (1) オン、スイッチ (2) オフの通常動作時には“H”レベルであり、スイッチ (1) が過電流状態を検出したとき“L”レベルである請求項 1 または 2 に記載の過電流制限の回路。

【請求項 4】 前記電流制限制御手段 (4) は、過電流検出手段 (3) がスイッチ 1 に流れる電流を $10\mu\text{s}$ 以上過電流であることを検出した場合、スイッチ (1) の低オン抵抗のMOSFETのゲート電圧を徐々に 0V から入力 (7) の電圧へ変化させてスイッチ (1) の抵抗値を大にしていくように制御するものである請求項 1 乃至 3 のいずれか一項に記載の過電流制限の回路。

【請求項 5】 前記過電流検出手段は、出力につながる負荷容量にチャージするための瞬間的大電流を $10\mu\text{s}$ 以上の過電流と認識し誤検出するのを防ぐため、C、Rのフィルタを更に有する請求項 1 乃至 4 のいずれか一項に記載の過電流制限の回路。

【請求項 6】 前記規定電流値は 500mA である請求項 1 乃至 5 のいずれか一項に記載の過電流制限の回路。

【請求項 7】 通常動作時にはスイッチ 1 の低オン抵抗のMOSFETをオンにし、スイッチ 2 の高オン抵抗のMOSFETをオフすることで低電圧ドロップのスイッチとして動作するICで、該スイッチに過電流が流れたときの過電流制限の方法であって、

過電流検出手段 3 がスイッチ 1 に流れる過電流値を検出する段階 (30, 31) と、

過電流検出手段が規定の電流値を検出したとき出力電流制限を行うために電流制限制御手段 4 へ信号を送る段階

(32) と、

電流制限制御手段 4 によりスイッチ 1 の低オン抵抗のMOSFETのゲート電圧をD/Aコンバータにより 0V から入力 7 の電圧へ徐々に変化させてスイッチ 1 のオン抵抗を高くする段階 (33) と、

設定した電流値になるまでゲート電圧を変化させる段階 (34) と、

電流値が設定値になった後、スイッチ 2 の高オン抵抗のMOSFETをオンにし、スイッチ 1 の低オン抵抗のMOSFETをオフにし、電流値を設定した値に固定する段階 (35) とを含む過電流制限の方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 ハイサイドスイッチにおける電流路にオン抵抗の異なる二つのMOSFET (MOS Field Effect Transistor) スwitchを並列に接続して設け、過電流を検出したとき、フラグを出力し、スイッチをバイパスに切り替えるようにして電流を即座に切断することなく、過電流を徐々に制限するように制御する方法とその回路に関する。

【0002】

【従来の技術】 従来の先行技術の一例として図 4 のようなブロック図がある。図 4 を参照すると、スイッチ 11 に低オン抵抗のMOSFETを使用し、スイッチ 11 をオン/オフするゲート制御手段 13 と、過電流検出結果をゲート制御回路に通知する過電流検出手段 12 とから構成されている。

【0003】 スwitch 11 において、オン時にはスイッチ 11 のゲート電圧を 0V とし、オフ時にはスイッチ 11 のゲート電圧を入力 14 の電圧とすることで、スイッチ 11 のオン/オフ制御を行うことができる。

【0004】 過電流検出時はフラグ出力 17 を“H”レベルから“L”レベルへ変化させ、外部に通知するようになっている。

【0005】 制御入力信号 16 によりスイッチ 11 のオン/オフが制御される。

【0006】 過電流検出中は、電流制限をすることができない。したがって、出力 15 に重い負荷が接続された場合にはIC内部の電力消費により最悪の場合、チップが破壊し、出力ショートもしくはオープン状態などになる欠点がある。

【0007】 以上述べたように、過大な電流を流し続けると、外部からの制御入力信号 16 が来るまでの期間が長い場合は、自己発熱によりICのジャンクション温度を越え、破壊したり、また、ICのボンディングワイヤは大電流により切れるおそれがある。したがって、従来の回路構成では過電流を検出した後でもスイッチをオン状態に維持することは困難である。

【0008】 また、従来技術として特公平 2-260712 号公報に開示された技術がある。本例において目的

とするところは、電源電圧の変動に拘らずハイサイドに配置されたMOSトランジスタの電流検出を正確に行えるようにしたスイッチ回路を提供することにある。

【0009】このために、内部回路のカレントミラー回路に関して開示されているが、過電流制限については何も記述がなく本願発明との関連性はない。

【0010】以上のほか、従来技術として検索された公報には下記のものがある。

【0011】特開平04-326108号公報

特開平05-038134号公報

特開平06-097375号公報

特開平07-011031号公報

【0012】

【発明が解決しようとする課題】以上述べたように従来の先行技術においては、過電流検出中は、電流制限をすることができない。したがって、出力15に重い負荷が接続された場合にはIC内部の電力消費により最悪の場合、チップが破壊し、出力ショートもしくはオープン状態などになる欠点がある。

【0013】本発明の目的は、過電流制限機能をもつハイサイドスイッチにおいて、二つのオン抵抗の異なるMOSFETからスイッチが構成され、一つのMOSFETのゲート電圧を制御することにより、通常動作時から電流制限動作時に移行する際、電流値の変化を少なくし、装置の誤動作を防ぐ方法とその回路を提案することである。

【0014】

【課題を解決するための手段】本発明のMOSFETのスイッチを用いて行う過電流制限の回路は、MOSFETで構成されるスイッチに流れる電流値を検出し、既定値を越えた場合に外部へレポートするフラグ出力機能と、制御入力信号端子によりスイッチをオフする機能を有するICであって、並列に接続されたオン抵抗の異なる二つのスイッチ1及び2と、スイッチ1の低オン抵抗のMOSFETのゲートに接続されアナログ出力動作を行うD/A出力手段5と、外部通知用のフラグを出力する過電流検出手段3と、スイッチ1の電流値を検出し、過電流検出手段3が規定電流値を検出したとき、その信号を入力して出力電流制限を行う電流制限制御手段4と、制御入力9によりスイッチ1及び2のMOSFETのオンオフを制御するゲート制御手段6とを有する。

【0015】また、前記二つのスイッチを構成するトランジスタは、Pチャネル型のMOSFETであるのは本発明の実施態様である。

【0016】更に、前記外部通知用のフラグ出力10は、スイッチ1オン、スイッチ2オフの通常動作時には“H”レベルでありスイッチ1が過電流状態を検出したとき“L”レベルであるのが本発明の一つの実施態様である。

【0017】また、前記電流制限制御手段4は過電流検

出手段3がスイッチ1に流れる電流を10 μ s以上過電流であることを検出した場合、スイッチ1の低オン抵抗のMOSFETのゲート電圧を徐々に0Vから入力7の電圧へ変化させてスイッチ1の抵抗値を大にしていくように制御するものは本発明の好ましい実施態様である。

【0018】また、前記過電流検出手段は、出力につながる負荷容量にチャージするための瞬間的大電流を10 μ s以上の過電流と認識し誤検出するのを防ぐため、C、Rのフィルタを更に有するのにも本発明の好ましい実施態様である。

【0019】また、前記規定電流値は500mAであるのも一つの実施態様である。

【0020】本発明のMOSFETのスイッチを用いて行う過電流制限の方法は、通常動作時にはスイッチ1の低オン抵抗のMOSFETをオンにし、スイッチ2の高オン抵抗のMOSFETをオフにすることで低電圧ドロップのスイッチとして動作するICで、該スイッチに過電流が流れたときに過電流制限の方法であって、過電流検出手段3がスイッチ1に流れる過電流値を検出する段階30、31と、過電流検出手段が規定の電流値を検出したとき出力電流制限を行うために電流制限制御手段4へ信号を送る段階32と、電流制限制御手段4によりスイッチ1の低オン抵抗のMOSFETのゲート電圧をD/Aコンバータにより0Vから入力7の電圧へ徐々に変化させてスイッチ1のオン抵抗を高くする段階33と、設定した電流値になるまでゲート電圧を変化させる段階34と、電流値が設定値になった後、スイッチ2の高オン抵抗のMOSFETをオンにし、スイッチ1の低オン抵抗のMOSFETをオフにし、電流値を設定した値に固定する段階35とを含む。

【0021】

【発明の実施の形態】次に、本発明の実施の形態について図面を参照して説明する。図1は、本発明の過電流制限の方法が適用された回路の一実施の形態を示すブロック図である。

【0022】図1を参照すると、スイッチ1とスイッチ2のオン抵抗の異なる2つのPチャネルMOSFETを並列に接続する。また、スイッチ1の低オン抵抗（約100m Ω ）のMOSFETのゲートにはアナログ出力動作を行うD/A出力5が接続されている。

【0023】通常動作時にはスイッチ1の低オン抵抗のMOSFETをオンし、スイッチ2の高オン抵抗（約5 Ω ）のMOSFETをオフにすることで、低電圧ドロップのスイッチとして動作する。このとき、過電流検出手段3から出力される外部通知用のフラグ出力10は“H”レベルとする。

【0024】過電流検出手段3はスイッチ1に流れる電流値を検出する機能を持ち、本ICはUSB(Universal Serial Bus)用電源ラインの、ハイサイドスイッチの用途に使用される。

【0025】USB規格においては電源ラインの電流供給上限値は500mAと規定されており、これを越える電流が流れた場合にはスイッチをオフする必要がある。ただし、スイッチはコントローラICからオフ信号が入力されるため、該信号が入力されるまでの期間はオン状態を維持することになり、ICのパッケージの熱容量・装置の電流容量の問題により電流制限を行う場合がある。

【0026】また、実使用上、瞬間的に流れるサージ電流に対しては過電流検出してはならない。この期間は10 μ s程度とされている。規定の数値(500mA)を検出したとき出力電流制限を行うために電流制限制御手段4へ信号を送る。更に外部通知用のフラグ出力10を“L”レベルにする。

【0027】図2に示すようにスイッチ1に流れる電流値を検出するのに10 μ sの検出ディレイ時間(検出不感期間)をもたせる。10 μ s以上スイッチ1に流れる電流が過電流であると過電流検出手段3が検出した場合、電流制限制御手段4によりスイッチ1の低オン抵抗のMOSFETのゲート電圧を徐々に0Vから入力7の電圧へ変化させていくことでスイッチ1の抵抗値を大きくしていき、最終的にオフ状態(抵抗値無限大)とする。また、過電流検出手段3がスイッチ1の過電流を検出時にスイッチ2の高オン抵抗のMOSFETをオンにする。

【0028】ゲート制御6は制御入力9によりスイッチ1の低オン抵抗のMOSFETとスイッチ2の高オン抵抗のMOSFETのオン/オフを制御する。

【0029】図1の動作について、図2を参照して説明する。

【0030】T1において、入力電圧が0Vから所定の電圧(USBの場合、5V)に上昇すると同時に制御入力信号を“H”レベルにすると、図1のスイッチ1がオンになる。スイッチ2はオフのままである。

【0031】T1からT2において、出力につながる負荷容量にチャージするために瞬間的に大電流が流れる。これを過電流であると認識してはならないが、図1において過電流検出手段内のCRフィルタ(不図示)を通して電流制限制御手段4への出力及びフラグ出力10が流れるようになるので10 μ s以下の過電流を検出しなから誤検出することはない。

【0032】T3において、スイッチ1がオン時に出力に接続される負荷が重くなり、過電流検出値を越えたとき過電流検出手段3が電流値を検出し、フラグ出力10により外部に検出結果出力を行う(フラグ出力“H”→“L”)。

【0033】T3からT4において、制御入力信号が“H”の期間はスイッチ1はオンのままであるが、D/A出力手段5によりゲート電圧が変化し、抵抗値が増大し、電流値は所定の値(過電流検出値以下)に制限され

る。スイッチ1にて所定の電流値まで制限を行った後、抵抗を一定に保つためにスイッチ1をオフにし、スイッチ2をオンにする。この動作により精度よく入力7ー出力8間の抵抗を設定することができる。

【0034】したがって、T4からT5において、出力電流は過電流状態であり、かつ過電流検出値を越えない一定の電流値を流し続けることが可能になる。

【0035】T5において、外部からの制御入力9により、スイッチ2もオフとなり、出力は完全にオフになる。

【0036】

【発明の効果】以上説明したように本発明は、従来の技術に比し次のような効果がある。

【0037】第1の効果はスイッチに負荷が接続された瞬間に流れる電流はおおよそ5 μ s程度流れるとされており、過電流検出ディレイ時間を10 μ sに設定することで、接続した瞬間にフラグを出力し、スイッチが切れる事態を回避できる。

【0038】第2の効果はスイッチ1の低オン抵抗のMOSFETのゲート電圧制御することでMOSFETのオン抵抗を大きくすることができる。スイッチ2の高オン抵抗のMOSFETとの並列抵抗値によってトータルの抵抗が決定される。前述したようにこのゲート電圧制御を電流制限制御手段4を通してD/A出力5により徐々に変化させることでMOSFETのオン抵抗を徐々に大きくすることができ、電流値を徐々に下げることができる。したがって過電流を検出したときの電流値及び出力8の電圧の急激な変化を抑え装置の誤動作や故障を防ぐことができる。

【0039】第3の効果はスイッチ1のみの構成ではオン抵抗を適当な値(約5 Ω)に設定することが困難であるため、スイッチ2の高オン抵抗のMOSFETを並列に追加接続することで制限する電流値の精度を向上することができる。

【図面の簡単な説明】

【図1】本発明のMOSFETのスイッチを用いて行う過電流制限の方法が適用された回路の一実施の形態を示すブロック図である。

【図2】本発明によるタイミングチャートを示す図である。

【図3】本発明のMOSFETのスイッチを用いて行う過電流制限の方法のフローチャートである。

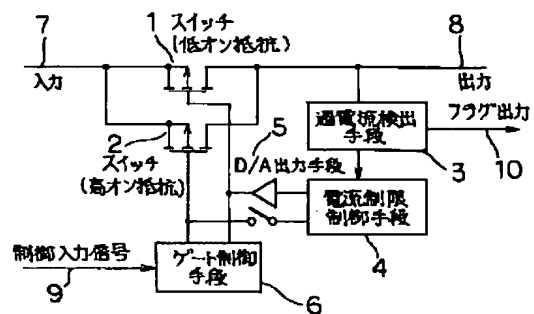
【図4】先行技術の一実施の形態を示すブロック図である。

【符号の説明】

- 1 低オン抵抗スイッチ
- 2 高オン抵抗スイッチ
- 3 過電流検出手段
- 4 電流制限制御手段
- 5 D/A出力手段

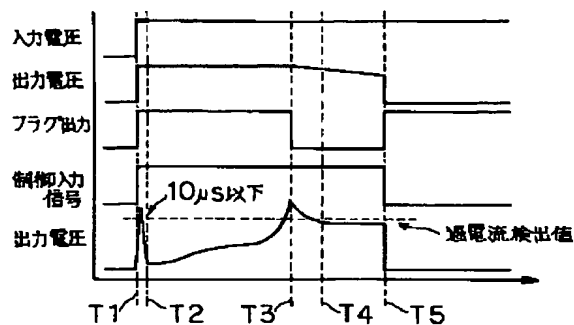
- 6 ゲート制御手段
- 7 入力
- 8 出力
- 9 制御入力信号
- 10 フラグ出力
- 11 低オン抵抗スイッチ

【図1】

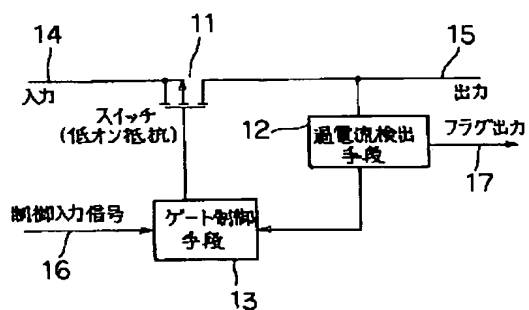


- 12 過電流検出手段
- 13 ゲート制御手段
- 14 入力
- 15 出力
- 16 制御入力信号
- 17 フラグ出力

【図2】



【図4】



【図3】

